



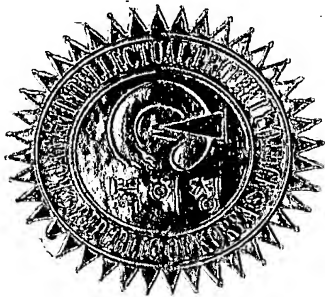
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0069540
Application Number

출원 년 월 일 : 2002년 11월 11일
Date of Application NOV 11, 2002

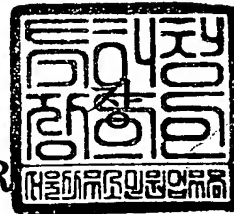
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.11.11
【발명의 명칭】	셔터 타이밍 조절 가능한 로우 디코더를 갖는 이미지 센서
【발명의 영문명칭】	CMOS image sensor having row decoder capable of shutter timing control
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	조태희
【성명의 영문표기】	CHO, TAE HEE
【주민등록번호】	690319-1041839
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 주공아파트 159동 1203호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 11 면 11,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 341,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

셔터 타이밍 조절 가능한 로우 디코더를 갖는 CMOS 이미지 센서가 개시된다. 로우 디코더의 단위 어레이는 어드레스 신호와 리셋 신호에 응답하여 리셋 게이트 신호를 발생하는 제1 낸드 게이트와, 어드레스 신호와 선택 신호에 응답하여 선택 게이트 신호를 발생하는 제2 낸드 게이트와, 어드레스 래치 리셋 신호에 응답하여 그 출력을 리셋시키고 어드레스 래치 신호 및 어드레스 신호에 응답하여 상기 어드레스 신호를 출력으로 래치하는 래치와, 어드레스 신호와 전송 신호를 입력하는 제3 낸드 게이트와, 래치의 출력과 셔터 전송 신호를 입력하는 제4 낸드 게이트와, 그리고 제3 및 제4 낸드 게이트들의 출력을 입력하여 전송 게이트 신호를 발생하는 오아 게이트를 포함한다. 따라서, 본 발명은 로우 디코더 내 하나 또는 두개의 래치들을 사용하여 수평 싱크 신호의 블랭크 구간에 맞추어 셔터링 로우 어드레스를 래치하고 이후 셔터링 로우 어드레스를 1씩 증가시켜 가면서 순차적으로 셔터링 동작을 수행하기 때문에, 로우 셔터 값이 갑자기 변하더라도 셔터링되지 않는 무효 데이터의 발생이 방지된다.

【대표도】

도 12

【색인어】

CMOS 이미지 센서, 로우 디코더, 래치, 셔터링

【명세서】**【발명의 명칭】**

셔터 타이밍 조절 가능한 로우 디코더를 갖는 이미지 센서{CMOS image sensor having row decoder capable of shutter timing control}

【도면의 간단한 설명】

도 1은 일반적인 CMOS 이미지 센서의 블록 다이어그램을 나타내는 도면이다.

도 2는 단위 픽셀을 나타내는 도면이다.

도 3은 도 2의 단위 픽셀의 동작 타이밍을 나타내는 도면이다.

도 4는 도 2의 단위 픽셀의 단면을 기준으로 포토 다이오드와 플로팅 디퓨전 노드의 전위 변화를 나타내는 도면이다.

도 5는 도 1의 로우 디코더의 일반적인 회로도를 나타내는 도면이다.

도 6a 및 도 6b는 하나의 칼럼에 연결되는 두개의 로우에 각각 연결되는 단위 셀들의 동작 파형을 나타내는 도면이다.

도 7은 프레임 데이터들에 대한 로우 어드레싱 방식을 나타내는 일예이다.

도 8은 도 7의 동작 타이밍을 나타내는 도면이다.

도 9는 프레임 데이터들에 대한 로우 어드레싱 방식을 나타내는 다른 예이다.

도 10은 2개의 로우 디코더를 갖는 CMOS 이미지 센서를 나타내는 블록 다이어그램이다.

도 11은 도 10에 의한 프레임 데이터들에 대한 로우 어드레싱 방식을 나타내는 도면이다.

도 12는 본 발명의 제1 실시예에 따른 로우 디코더를 나타내는 도면이다.

도 13은 도 12의 로우 디코더의 동작 타이밍을 나타내는 도면이다.

도 14는 본 발명의 제2 실시예에 따른 로우 디코더를 나타내는 도면이다.

도 15는 도 14의 로우 디코더에 따른 동작 타이밍을 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 집적회로에 관한 것으로, 특히 셔터 타이밍 조절 가능한 로우 디코더를 갖는 CMOS 이미지 센서에 관한 것이다.

<17> 이미지 센서는 광 센싱 반도체 소자를 이용하여 이미지를 포착하는 장치이다. 이미지 센서는 복수개의 포토 다이오드와 같은 이미지 센싱 소자들과 트랜지스터들을 갖는 픽셀 어레이를 포함하고 물체로부터 빛을 수신하여 전기적인 이미지 신호를 발생시킨다. 특히, CMOS 기술을 사용하여 제조된 이미지 센서를 CMOS 이미지 센서라고 한다.

<18> 도 1은 일반적인 CMOS 이미지 센서의 블록 다이어그램을 나타내는 도면이다. 이를 참조하면, CMOS 이미지 센서(100)는 액티브 픽셀 센서 어레이(이하 'APS 어레이'라고 칭한다)(110), 로우 디코더(120), 로우 드라이버(130), 코릴레이티드 더블 샘플링(correlated double sampling)부와 아날로그 디지털 컨버터

(analog digital converter: 이하 'CDS & ADC 부'라고 칭한다)(140), 칼럼 디코더(150), 그리고 CMOS 이미지 센서 컨트롤러(이하 'CIS 컨트롤러'라고 칭한다)(160)를 포함한다. APS 어레이(110)에는 도 2와 같은 액티브 픽셀 센서(Active Pixel Sensor)들이 배열된다. 로우 디코더(120)와 칼럼 디코더(150)에 의해 APS 어레이(110) 내 소정의 액티브 픽셀을 어드레싱한다. CDS & ADC부(140)는 CIS 컨트롤러(160)의 제어 아래 액티브 픽셀의 데이터를 샘플링하여 고화질을 얻도록 동작된다.

<19> 도 2의 액티브 픽셀의 동작은 도 3의 동작 타이밍도를 참조하여 설명된다. 단위 픽셀(200)은 리셋 트랜지스터(MR), 전송 트랜지스터(MT), 드라이버 트랜지스터(MD), 그리고 선택 트랜지스터(MS)를 포함한다. 초기에, 리셋 게이트 신호(RG)의 하이레벨에 응답하여 리셋 트랜지스터(MR)가 턴온되어 플로팅 디퓨전 노드(FD)는 하이레벨로 프리차아지된다. 하이레벨의 플로팅 디퓨전 노드(FD)에 응답하여 드라이버 트랜지스터(MD)가 턴온되고 선택 게이트 신호(SEL)의 하이레벨에 응답하여 선택 트랜지스터(MS)가 턴온되어 출력 노드(OUT)는 ㉠하이레벨이 된다. 리셋 게이트 신호(RG)의 로우레벨에 응답하여 리셋 트랜지스터(MR)가 턴오프되어 출력 노드(OUT)는 ㉡하이레벨이 된다. 이 후, 전송 게이트 신호(TG)에 응답하여 전송 트랜지스터(MT)가 턴온되면 출력 노드(OUT)는 ㉢레벨로 떨어지는 데, 출력 노드(OUT)의 ㉡레벨과 ㉢레벨 차이가 실제적인 이미지 데이터 신호가 되어 출력된다.

<20> 도 4는 도 2의 단위 픽셀(200)의 단면을 기준으로 포토 다이오드(PD)와 플로팅 디퓨전 노드(FD)의 전위 변화를 나타내는 도면이다. 이를 참조하면, (i)단

계는 리셋 게이트 신호(RG)가 하이레벨일 때의 초기 상태이다. (ii)단계는 셔터링(shuttering)에 의해 전송 게이트 신호(TG)의 하이레벨에 응답하여 포토 다이오드(PD)의 웰을 비운다. (iii)단계는 셔터링 후 전송 게이트 신호(TG)의 로우레벨에 응답하여 전송 게이트 쪽의 전위가 올라간다. (iv)단계는 포토 다이오드(PD)가 빛을 통합(integration: 이하 '인티그레이션 동작'이라고 칭한다)하는 과정을 나타낸다. (v)단계는 리셋 게이트 신호(RG)의 로우레벨에 응답하여 리셋 게이트쪽의 전위가 올라간다. (vi)단계는 전송 게이트 신호(TG)의 하이레벨에 응답하여 전송 게이트쪽의 전위가 낮아지면서 센싱 노드(FD)의 전위가 변화된다. 플로팅 디퓨전 노드(FD)의 전위 변화가 이미지 데이터 신호가 되며 이후 이미지 데이터를 샘플링하는 CDS 동작으로 이어진다.

<21> 도 5는 도 1의 로우 디코더의 일반적인 회로도를 나타내는 도면이다. 이를 참조하면, 로우 어드레스 신호들(A_i , A_{i+1} , A_{i+2})와 전송 신호(TX), 선택 신호(SEL), 그리고 리셋 신호(RX)의 조합에 의하여 i 번째 로우의 리셋 게이트 신호(RG_i), 전송 게이트 신호(TG_i) 및 선택 게이트 신호(SEL_i)와, $i+1$ 번째 로우의 리셋 게이트 신호(RG_{i+1}), 전송 게이트 신호(TG_{i+1}) 및 선택 게이트 신호(SEL_{i+1}), 그리고 $i+2$ 번째 로우의 리셋 게이트 신호(RG_{i+2}), 전송 게이트 신호(TG_{i+2}) 및 선택 게이트 신호(SEL_{i+2})를 발생한다.

<22> 도 6a 및 도 6b는 하나의 칼럼에 연결되는 두개의 로우, 예컨대 p 번째 로우와 q 번째 로우에 각각 연결되는 단위 셀들의 동작 파형을 나타내는 도면이다. p 번째 로우에 연결된 단위 셀이 도 6a와 같이 CDS 동작중인 경우에 q 번째 로우에 연결된 단위 셀은 도 6b와 같이 포토 다이오드의 인티그레이션 동작 중임을 나타

낸다. 즉, 수평 싱크 신호(HSYNC)의 주기를 나타내는 1H 시간에서 p번째 로우에 대한 CDS 동작 시간을 뺀 시간(1H-CDS) 동안 q번째 로우에 대한 인티그레이션 동작이 이루어진다.

<23> 도 7은 프레임 데이터들에 대한 로우 어드레싱 방식을 나타내는 도면이다. 이를 참조하면, 제1 내지 제3 프레임 데이터들은 수직 싱크 신호(VSYNC)에 맞추어 들어온다. 하나의 프레임 데이터에 대하여 10개의 로우 어드레스들(0 내지 9)이 설정된다고 가정하자. 로우 셔터 값(cintr)은 셔터 노출 시간을 결정하는 데, CIS 컨트롤러(160, 도 1)내 레지스터에 저장되고 셔터링 동작을 제어한다. 로우 셔터 값(cintr)이 2이면 셔터링되는 로우 어드레스는 CDS 로우 어드레스보다 2로우 먼저 들어와서 해당 어드레스들에 연결된 단위 셀들을 셔터링시켜 인티그레이션 동작을 수행한다. 제1 프레임 데이터는 셔터 로우 어드레스들(0 내지 9)과 CDS 로우 어드레스들(0 내지 9)에 매칭되어 데이터 손실없이 선택된 단위 셀들의 이미지 데이터 신호들이 CDS & ADC부(140, 도 1)로 전달된다. 이와 같은 동작은 도 8의 타이밍도에 의해 이루어진다. 도 8을 참조하면, 첫번째 1H 시간 동안에 0번째 로우 어드레스에 대한 CDS 동작이 이루어진 후 2번째 로우 어드레스에 대한 셔터링 동작이 이루어진다. 이 후, 2번째 1H 시간 동안 1번째 로우 어드레스에 대한 CDS 동작이 이루어지고 3번째 로우 어드레스(미도시)에 대한 셔터링 동작이 이루어진다. 3번째 1H 시간 동안에는 1번째 1H 시간에서 셔터링 동작된 2번째 로우 어드레스에 대하여 CDS 동작이 이루어진다.

<24> 그런데, 도 5의 디코더(120)를 사용하여 CDS 동작과 셔터링 동작을 수행하게 되면 다음과 같은 문제점이 발생된다. 다시, 도 7을 참조하면, 로우 셔터

값(cintr)이 7로 셋팅이 되면 제2 프레임 데이터에 대하여 셔터 로우 어드레스 0 내지 4 까지만 어드레싱되어 셔터링 동작이 이루어지고 나머지 셔터 로우 어드레스 5 내지 9에 대하여는 셔터링 동작이 일어나지 않는다. 왜냐하면, 이후의 제3 프레임에 대하여 로우 셔터 값(cintr=7)을 만족하기 위하여, 셔터 싱크 신호 (SHSYNC)에 맞추어 제3 프레임의 셔터 로우 어드레스들(0 내지 9)이 들어오기 때문이다. 제3 프레임은 셔터 로우 어드레스들(0 내지 9)과 CDS 로우 어드레스들(0 내지 9)에 매칭되어 데이터 손실없이 선택된 단위 셀들의 이미지 데이터 신호들이 CDS & ADC부(140, 도 1)로 전송된다. 여기에서, 제 2 프레임의 5 내지 9 어드레스에 해당하는 단위 셀들의 데이터는 로우 셔터 값(cintr=7)의 긴 시간 셔터 노출 없이 바로 CDS & ADC부(140, 도 1)로 전달된다. 이는 제2 프레임 데이터가 무효(invalid)의 데이터가 되는 문제점이 된다.

<25> 이를 해결하기 위하여, 도 9처럼 제1 프레임의 셔터 로우 어드레스 마지막에 맞추어 제2 프레임의 셔터 로우 어드레스가 들어오도록 로우 셔터 값(cintr)을 조정하여 무효 데이터를 방지할 수 있다. 또는 도 10에서 처럼 로우 디코더(120, 122)를 2개 사용하여 제2 프레임과 제3 프레임 각각에 대하여 셔터 로우 어드레스 1과 셔터 로우 어드레스 2를 따로 따로 발생시켜 도 11과 같이 셔터링 동작을 수행할 수 있다. 그러나, 도 9와 같은 방법은 프레임 데이터가 지연되는 문제점이 발생하고, 도 10과 같은 방법으로는 CMOS 이미지 센서의 레이아웃 면적이 커지는 문제점이 발생한다.

<26> 따라서, 레이아웃 면적을 크게 늘리지 않으면서 노출 시간을 제어할 수 있는 CMOS 이미지 센서의 로우 디코더가 요구된다.

【발명이 이루고자 하는 기술적 과제】

- <27> 본 발명의 목적은 레이아웃 면적을 늘리지 않으면서 노출 시간을 제어할 수 있는 로우 디코더를 갖는 CMOS 이미지 센서를 제공하는 데 있다.

【발명의 구성 및 작용】

- <28> 상기 목적을 달성하기 위하여, 본 발명의 제1 실시예에 따른 로우 디코더의 단위 어레이는 어드레스 신호와 리셋 신호에 응답하여 리셋 게이트 신호를 발생 하는 제1 낸드 게이트와, 어드레스 신호와 선택 신호에 응답하여 선택 게이트 신호를 발생 하는 제2 낸드 게이트와, 어드레스 래치 리셋 신호에 응답하여 그 출력을 리셋시키고 어드레스 래치 신호 및 어드레스 신호에 응답하여 상기 어드레스 신호를 출력으로 래치하는 래치와, 어드레스 신호와 전송 신호를 입력하는 제3 낸드 게이트와, 래치의 출력과 서터 전송 신호를 입력하는 제4 낸드 게이트와, 그리고 제3 및 제4 낸드 게이트들의 출력을 입력하여 전송 게이트 신호를 발생 하는 오아 게이트를 포함한다.
- <29> 바람직하기로, 래치는 S-R 래치로 구성되고 수평 싱크 신호의 블랭크 구간 동안 어드레스 신호를 래치한다.
- <30> 상기 목적을 달성하기 위하여, 본 발명의 제2 실시예에 따른 로우 디코더의 단위 어레이는 어드레스 신호와 리셋 신호에 응답하여 리셋 게이트 신호를 발생 하는 제1 낸드 게이트와, 어드레스 신호와 선택 신호에 응답하여 선택 게이트 신호를 발생 하는 제2 낸드 게이트와, 어드레스 래치 리셋 신호에 응답하여 그 출력을 리셋시키고 제1 어드레스 래치 신호 및 어드레스 신호에 응답하여 어드레스

신호를 출력으로 래치하는 제1 래치와, 어드레스 래치 리셋 신호에 응답하여 그 출력을 리셋시키고 제2 어드레스 래치 신호 및 어드레스 신호에 응답하여 어드레스 신호를 출력으로 래치하는 제2 래치와, 어드레스 신호와 전송 신호를 입력하는 제3 낸드 게이트와, 제1 래치의 출력과 제1 셔터 전송 신호를 입력하는 제4 낸드 게이트와, 제2 래치의 출력과 제2 셔터 전송 신호를 입력하는 제5 낸드 게이트와, 제3 내지 제5 낸드 게이트들의 출력을 입력하여 전송 게이트 신호를 발생하는 오아 게이트를 포함한다.

<31> 따라서, 본 발명은 로우 디코더 내 하나 또는 두개의 래치들을 사용하여 수평 싱크 신호의 블랭크 구간에 맞추어 셔터링 로우 어드레스를 래치하고 이후 셔터링 로우 어드레스를 1씩 증가시켜 가면서 순차적으로 셔터링 동작을 수행하기 때문에, 로우 셔터 값이 갑자기 변하더라도 셔터링되지 않는 무효 데이터의 발생이 방지된다.

<32> 이하, 본 발명은 도 12 내지 도 15를 참조하여 구체적으로 설명된다.

<33> 도 12는 본 발명의 제1 실시예에 따른 로우 디코더를 나타내는 도면이다.

로우 디코더는 대표적으로 i 번째 로우, $i+1$ 번째 로우, 그리고 $i+2$ 번째 로우를 발생하는 예에 대하여 기술하고 있다. 로우 디코더의 단위 어레이(1200)는 제1 내지 제5 낸드 게이트들(1202, 1204, 1206, 1208, 1212)과 래치(1210), 그리고 오아 게이트(1212)를 포함한다. 제1 낸드 게이트(1202)는 어드레스 신호(A_i)와 리셋 신호(RX)에 응답하여 리셋 게이트 신호(RG $_i$)를 발생한다. 제2 낸드 게이트(1204)는

어드레스 신호(Ai)와 선택 신호(SEL)에 응답하여 선택 게이트 신호(SELi)를 발생한다. 제3 낸드 게이트(1208)는 어드레스 신호(Ai)와 어드레스 래치 신호(AST1)를 입력하고, 제4 낸드 게이트(1206)는 어드레스 신호(Ai)와 전송 신호(TX)를 입력한다. 래치(1210)는 S-R 래치로 구성되는 데, 어드레스 래치 리셋 신호(ARST)가 리셋 단자(R)로, 그리고 제4 낸드 게이트(1208)의 출력이 셋트 단자(S)로 입력된다. 제5 낸드 게이트(1212)는 셔터 전송 신호(STX1)와 래치(1210) 출력을 입력한다. 오아 게이트(1214)는 제3 낸드 게이트(1206) 출력과 제5 낸드 게이트(1212) 출력을 입력하여 전송 게이트 신호(TGi)를 발생한다. 리셋 게이트 신호(RGi)와 전송 게이트 신호(TGi), 그리고 선택 게이트 신호(SELi)는 도 2의 단위 픽셀을 선택한다.

<34> 도 13은 도 12의 로우 디코더의 동작 타이밍을 나타내는 도면이다. 이를 참조하면, 수평 싱크 신호(HSYNC)의 블랭크 구간에 맞추어 r번째 로우 어드레스가 래치(1210)에 저장된다. 이 후, 1H 시간 동안 p번째 로우 어드레스에 대한 CDS 동작이 이루어지고 q번째 로우 어드레스와 r번째 로우 어드레스에 대한 셔터링 동작이 이루어진다. 그리고, 수평 싱크 신호(HSYNC)의 다음 블랭크 구간에서 래치된 r번째 로우 어드레스 보다 1 증가된 r+1번째 로우 어드레스가 래치(1210)에 저장된다. 이는 도 7의 제2 프레임 데이터의 4번째 로우 어드레스를 래치(1210)에 저장시킨 후 수평 싱크 신호(HSYNC)의 블랭크 구간 마다 1씩 증가된 로우 어드레스들(5,6,7,8,9)을 래치에 저장시키고 해당 로우 어드레스에 대하여 셔터링 동작이 이루어짐을 의미한다.

<35> 따라서, 본 실시예에 의하면 로우 서터 값(cintr)이 갑자기 바뀌더라도 프레임 데이터의 로우 어드레스를 래치에 저장시키고 해당 로우 어드레스를 1 증가시키면서 서터링 동작 후 CDS 동작을 수행하기 때문에 무효 데이터 없이 이미지 데이터 샘플링이 가능하다.

<36> 도 14는 본 발명의 제2 실시예에 따른 로우 디코더를 나타내는 도면이다. 이를 참조하면, 로우 디코더는 도 12의 로우 디코더와 비교하여 2개의 래치를 사용한다는 점에서 차이가 있다. 로우 디코더의 단위 어레이(1400)는 어드레스 신호(Ai)와 리셋 신호(RX)를 입력하여 리셋 게이트 신호(RXi)를 발생하는 제1 낸드 게이트(1402)와, 어드레스 신호(Ai)와 선택 신호(SEL)를 입력하여 선택 게이트 신호(SELi)를 발생하는 제2 낸드 게이트(1404), 그리고 어드레스 신호(Ai)와 전송 신호(TX)를 입력하는 제3 낸드 게이트(1406)를 포함한다. 로우 디코더의 단위 어레이(1400)는 어드레스 신호(Ai)와 제1 어드레스 래치 신호(AST1)를 입력하는 제4 낸드 게이트(1408)와 어드레스 신호(Ai)와 제2 어드레스 래치 신호(AST2)를 입력하는 제5 낸드 게이트(1412)를 더 포함한다. 제4 낸드 게이트(1408)의 출력은 제1 래치의 셋트 단자(S)로 입력되고 제5 낸드 게이트(1412)의 출력은 제2 래치(1414)의 셋트 단자(S)로 입력된다. 제1 래치(1410) 및 제2 래치(1414)의 리셋 단자(R)에는 어드레스 래치 리셋 신호(ARST)가 연결된다. 제3 낸드 게이트(1406) 출력, 제1 래치(1410) 출력, 그리고 제2 래치(1414) 출력은 오아 게이트(1420)로 입력되어 전송 게이트 신호(TGi)를 발생한다. 리셋 게이트 신호(RGi), 전송 게이트 신호(TGi), 그리고 선택 게이트 신호(SELi)는 도 2의 단위 픽셀(200)을 선택한다.

<37> 도 15는 도 14의 로우 디코더의 동작 타이밍을 나타내는 도면이다. 이를 참조하면, 수평 싱크 신호(HSYNC)의 블랭크 구간에 2개의 로우 어드레스들 즉, q번째 로우 어드레스와 r번째 로우 어드레스를 제1 래치(1410)와 제2 래치(1414)에 각각 저장한다. 이 후, 1H 시간 동안 p번째 로우 어드레스에 대한 CDS 동작과 동시에 q번째 로우 어드레스 및 r번째 로우 어드레스에 대한 셔터링 동작이 이루어진다. 수평 싱크 신호(HSYNC)의 다음 블랭크 구간 동안 q+1번째 로우 어드레스와 r+1번째 로우 어드레스가 각각 제1 래치(1410)와 제2 래치(1414)에 저장된다.

<38> 따라서, 본 실시예는 로우 디코더 내 2개의 래치를 사용하여 래치된 어드레스들을 1씩 증가시켜 순차적으로 셔터링 동작을 수행하기 때문에, 도 7의 제2 프레임과 같은 무효 데이터의 발생을 방지할 수 있다.

<39> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 따라서, 본 발명의 실시예들은 로우 디코더 내 하나 또는 두개의 래치들을 사용하는 것에 대하여 기술하고 있으나, 이와는 달리 다양한 갯수의 래치들을 사용할 수 있음은 물론이다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<40> 상술한 본 발명에 의하면, 로우 디코더 내 하나 또는 두개의 래치들을 사용하여 수평 싱크 신호의 블랭크 구간에 맞추어 셔터링 로우 어드레스를 래치하고 이후 셔터링 로우 어드레스를 1씩 증가시켜 가면서 순차적으로 셔터링 동작을 수

행하기 때문에, 로우 셔터 값이 갑자기 변하더라도 셔터링되지 않는 무효 데이터의 발생이 방지된다.

【특허청구범위】**【청구항 1】**

CMOS 이미지 센서 내 행들 및 열들로 배열된 복수개의 픽셀들을 어드레싱하는 로우 디코더에 있어서, 상기 로우 디코더의 단위 어레이는

어드레스 신호와 리셋 신호에 응답하여 리셋 게이트 신호를 발생하는 제1 낸드 게이트;

상기 어드레스 신호와 선택 신호에 응답하여 선택 게이트 신호를 발생하는 제2 낸드 게이트;

어드레스 래치 리셋 신호에 응답하여 그 출력을 리셋시키고, 어드레스 래치 신호 및 어드레스 신호에 응답하여 상기 어드레스 신호를 상기 출력으로 래치하는 래치;

상기 어드레스 신호와 전송 신호를 입력하는 제3 낸드 게이트;

상기 래치의 출력과 셔터 전송 신호를 입력하는 제4 낸드 게이트; 및

상기 제3 및 제4 낸드 게이트들의 출력을 입력하여 전송 게이트 신호를 발생하는 오아 게이트를 구비하는 것을 특징으로 하는 CMOS 이미지 센서의 로우 디코더.

【청구항 2】

제1항에 있어서, 상기 래치는

S-R 래치인 것을 특징으로 하는 CMOS 이미지 센서의 로우 디코더.

【청구항 3】

제1항에 있어서, 상기 래치는

수평 싱크 신호의 블랭크 구간 동안 상기 어드레스 신호를 래치하는 것을 특징으로 하는 CMOS 이미지 센서.

【청구항 4】

CMOS 이미지 센서 내 행들 및 열들로 배열된 복수개의 픽셀들을 어드레싱하는 로우 디코더에 있어서, 상기 로우 디코더의 단위 어레이는

어드레스 신호와 리셋 신호에 응답하여 리셋 게이트 신호를 발생하는 제1 낸드 게이트;

상기 어드레스 신호와 선택 신호에 응답하여 선택 게이트 신호를 발생하는 제2 낸드 게이트;

어드레스 래치 리셋 신호에 응답하여 그 출력을 리셋시키고, 제1 어드레스 래치 신호 및 상기 어드레스 신호에 응답하여 상기 어드레스 신호를 상기 출력으로 래치하는 제1 래치;

상기 어드레스 래치 리셋 신호에 응답하여 그 출력을 리셋시키고, 제2 어드레스 래치 신호 및 상기 어드레스 신호에 응답하여 상기 어드레스 신호를 상기 출력으로 래치하는 제2 래치;

상기 어드레스 신호와 전송 신호를 입력하는 제3 낸드 게이트;

상기 제1 래치의 출력과 제1 셔터 전송 신호를 입력하는 제4 낸드 게이트;

상기 제2 래치의 출력과 제2 서터 전송 신호를 입력하는 제5 낸드 게이트;
및

상기 제3 내지 제5 낸드 게이트들의 출력을 입력하여 전송 게이트 신호를
발생하는 오아 게이트를 구비하는 것을 특징으로 하는 CMOS 이미지 센서의 로우
디코더.

【청구항 5】

제4항에 있어서, 상기 제1 및 제2 래치는

S-R 래치인 것을 특징으로 하는 CMOS 이미지 센서의 로우 디코더.

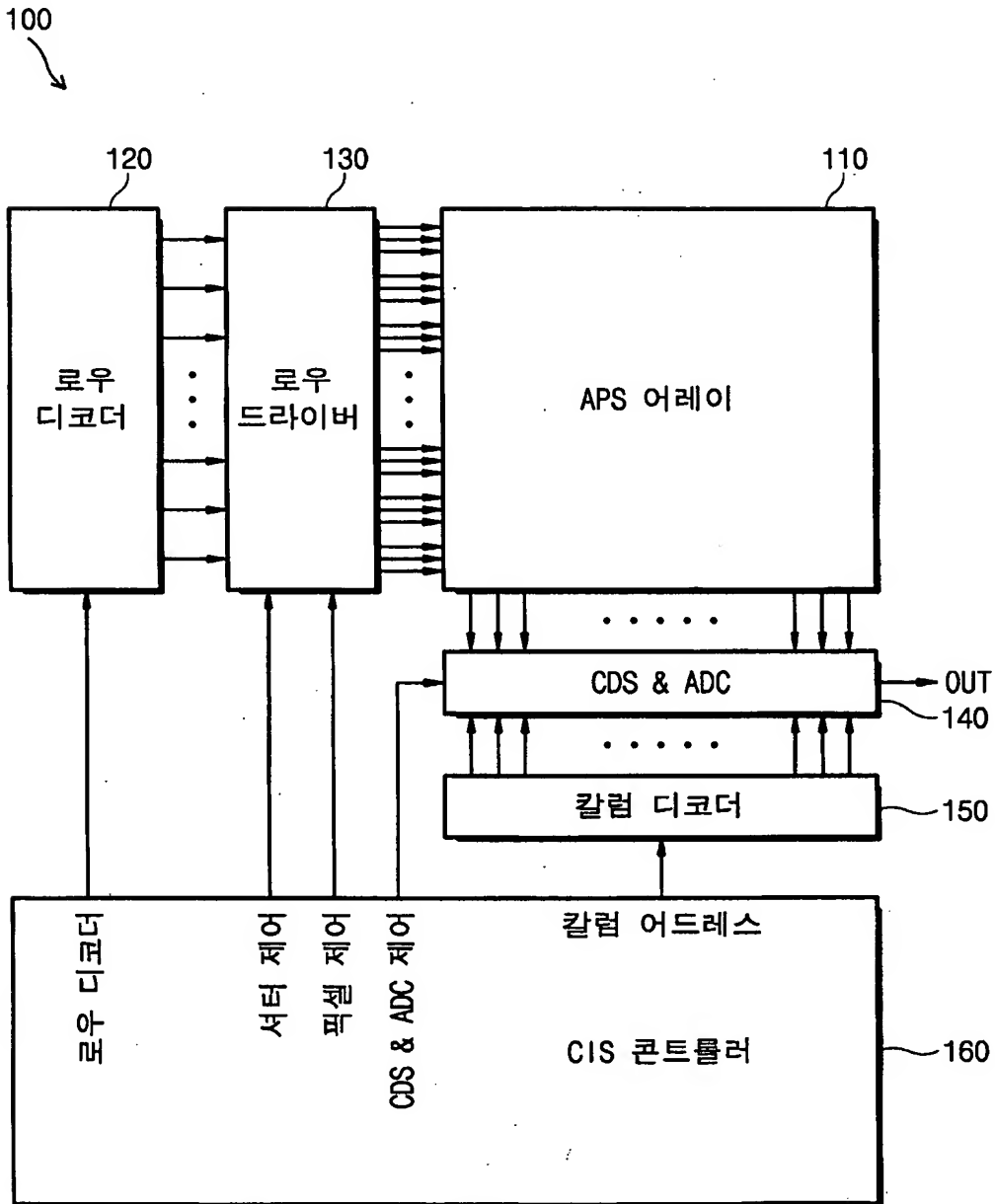
【청구항 6】

제4항에 있어서, 상기 제1 및 제2 래치는

수평 싱크 신호의 블랭크 구간 동안 상기 어드레스 신호를 래치하는 것을
특징으로 하는 CMOS 이미지 센서의 로우 디코더.

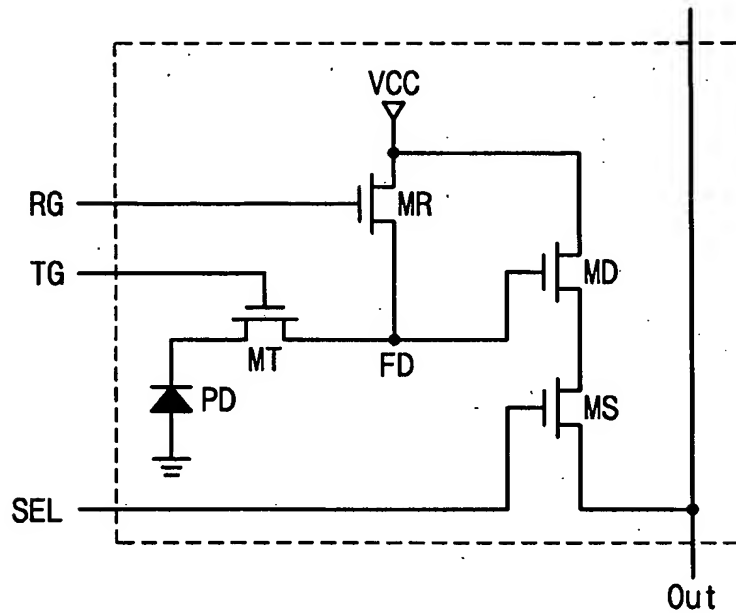
【도면】

【도 1】

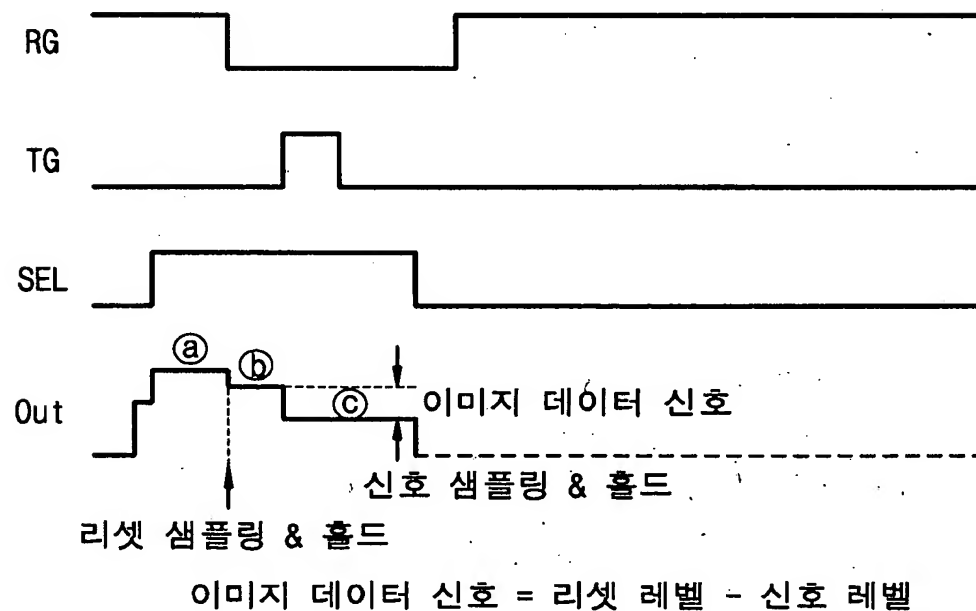


【도 2】

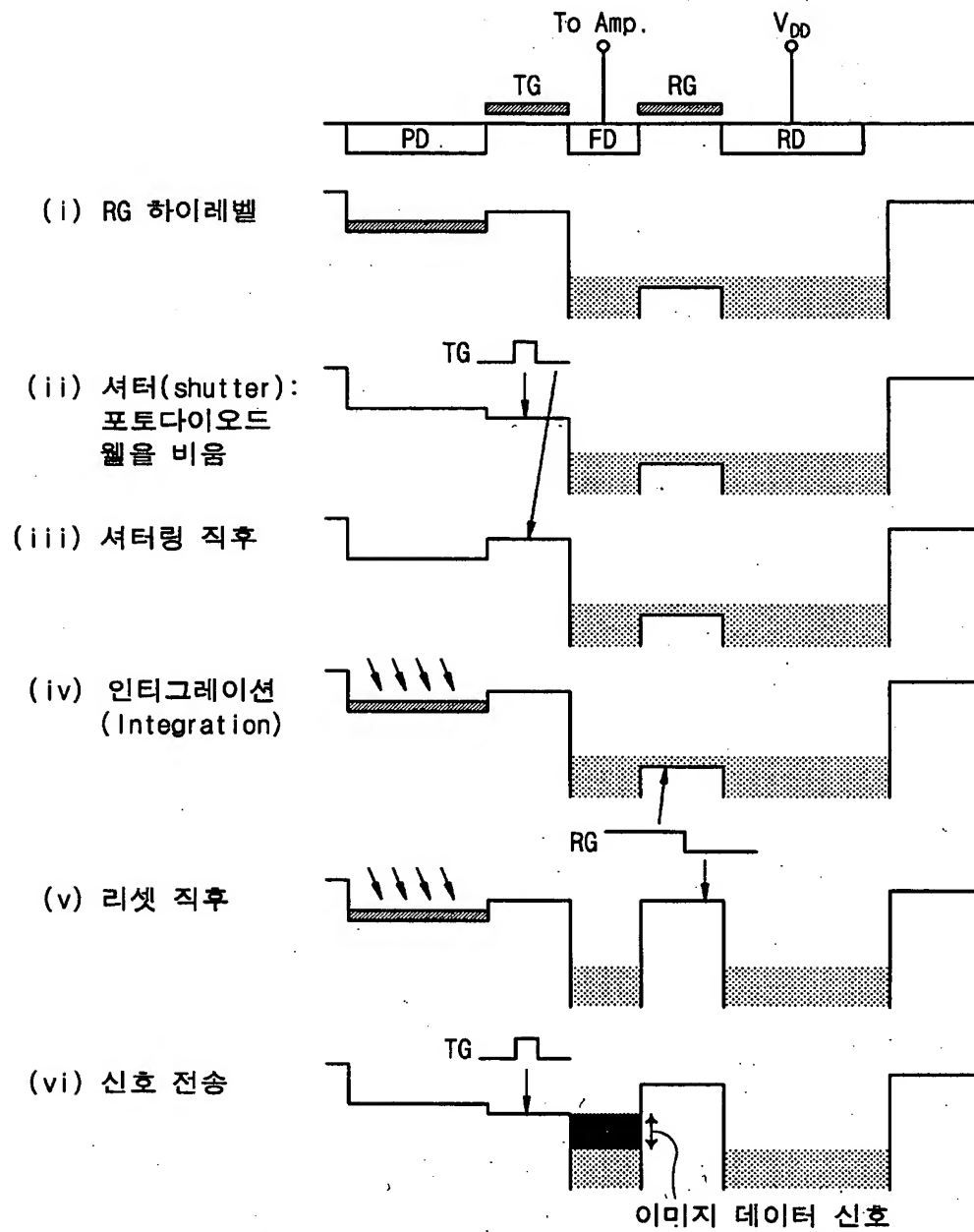
200



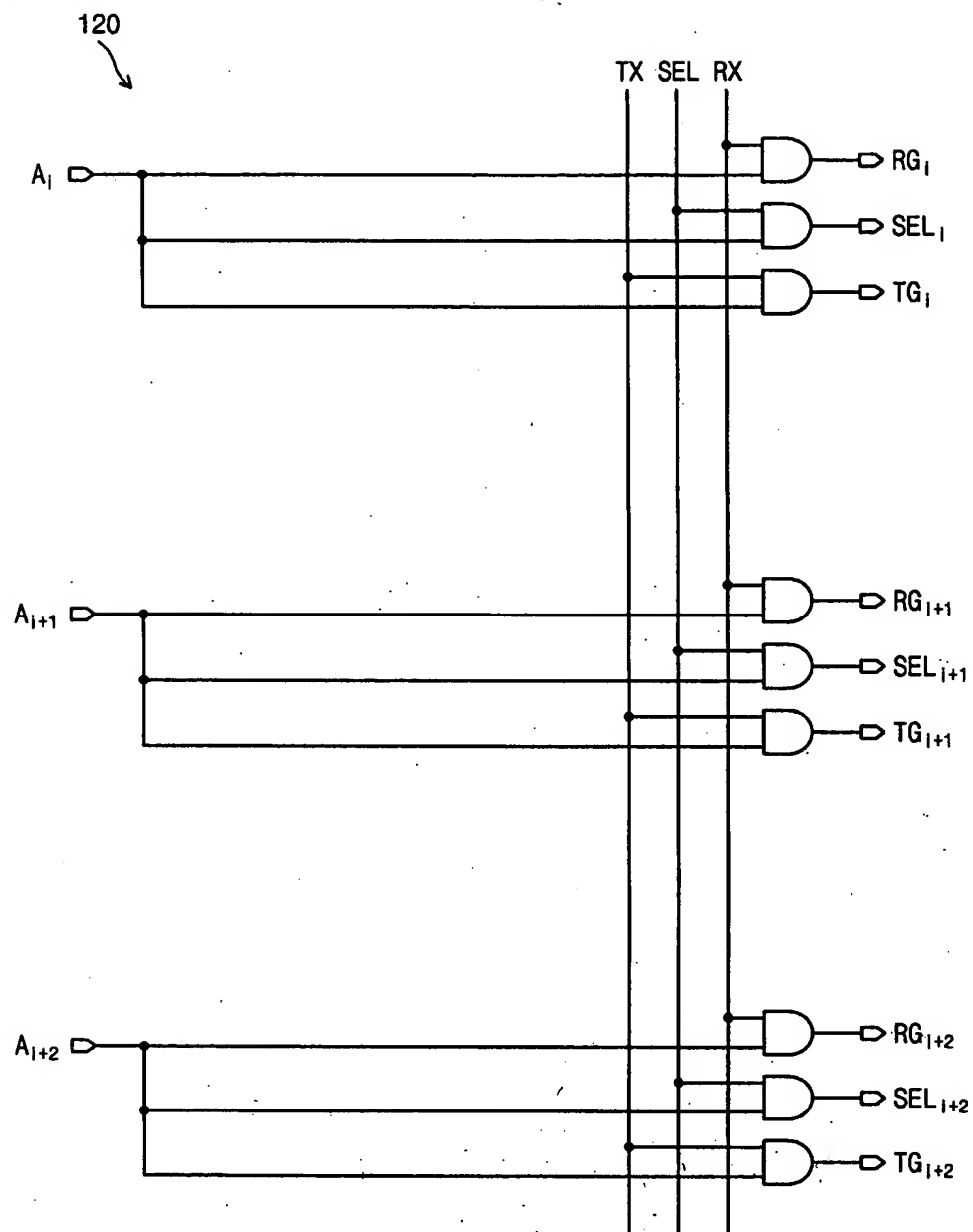
【도 3】



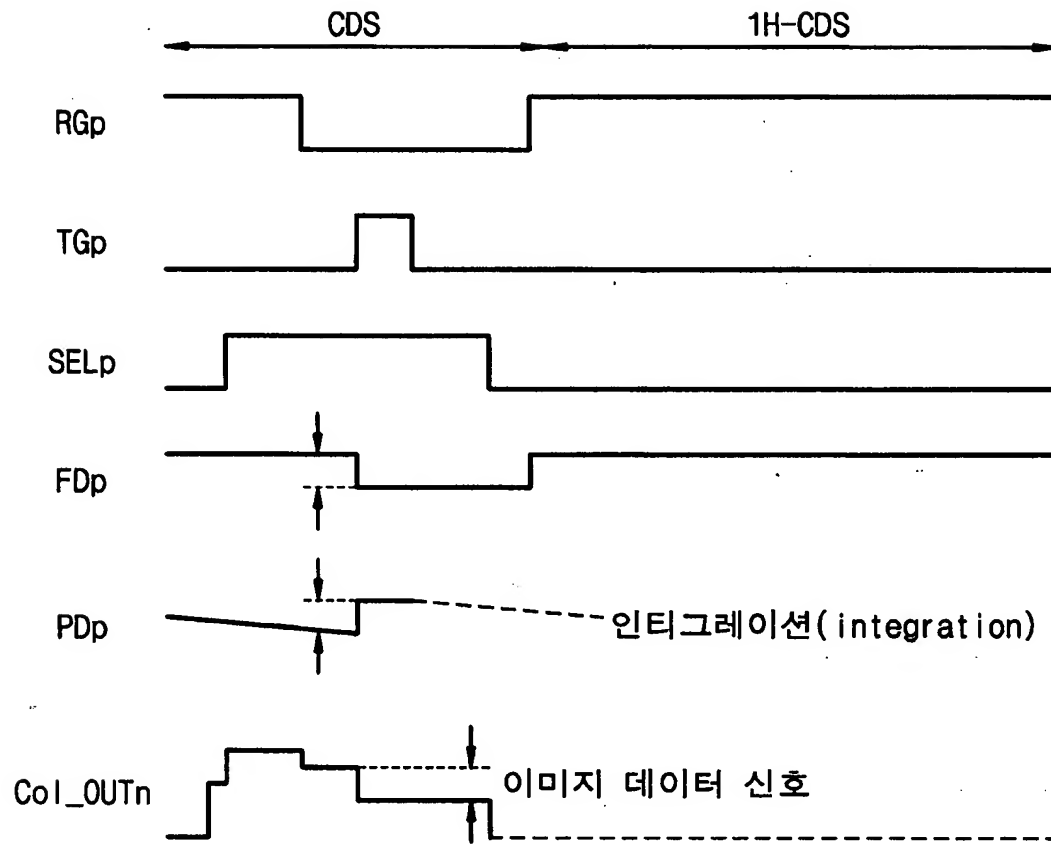
【도 4】



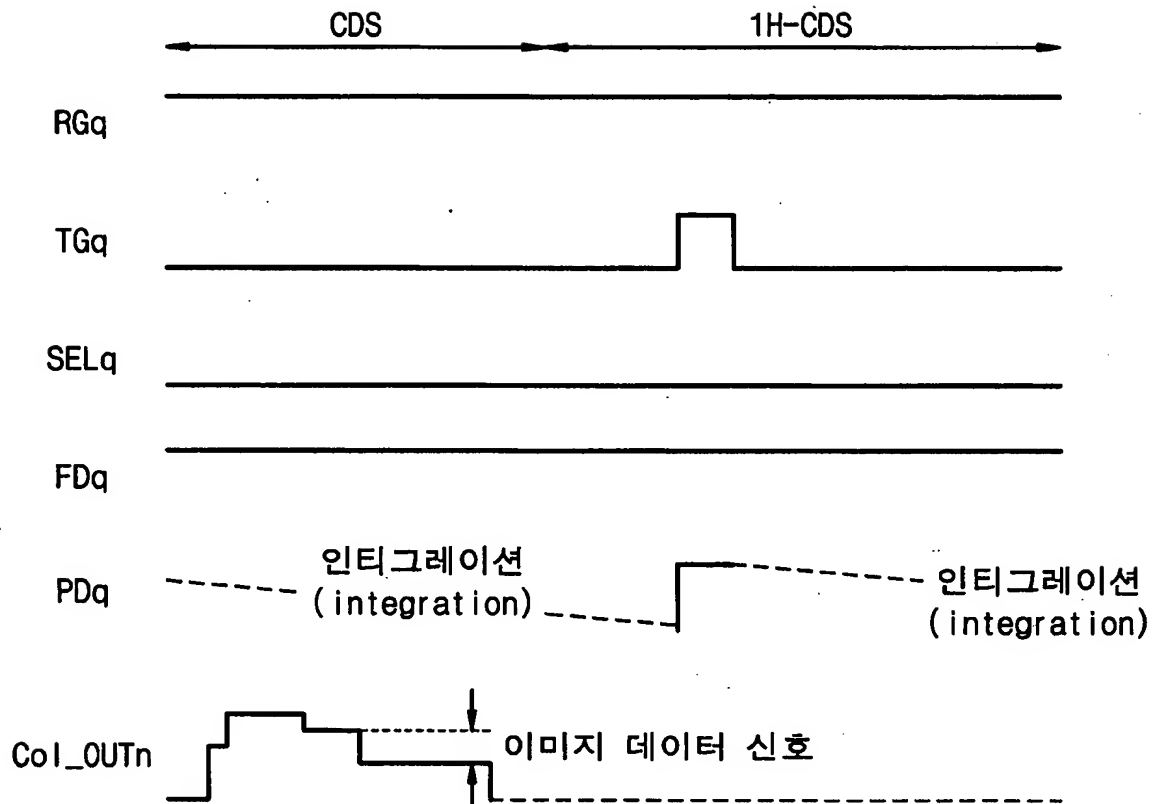
【도 5】

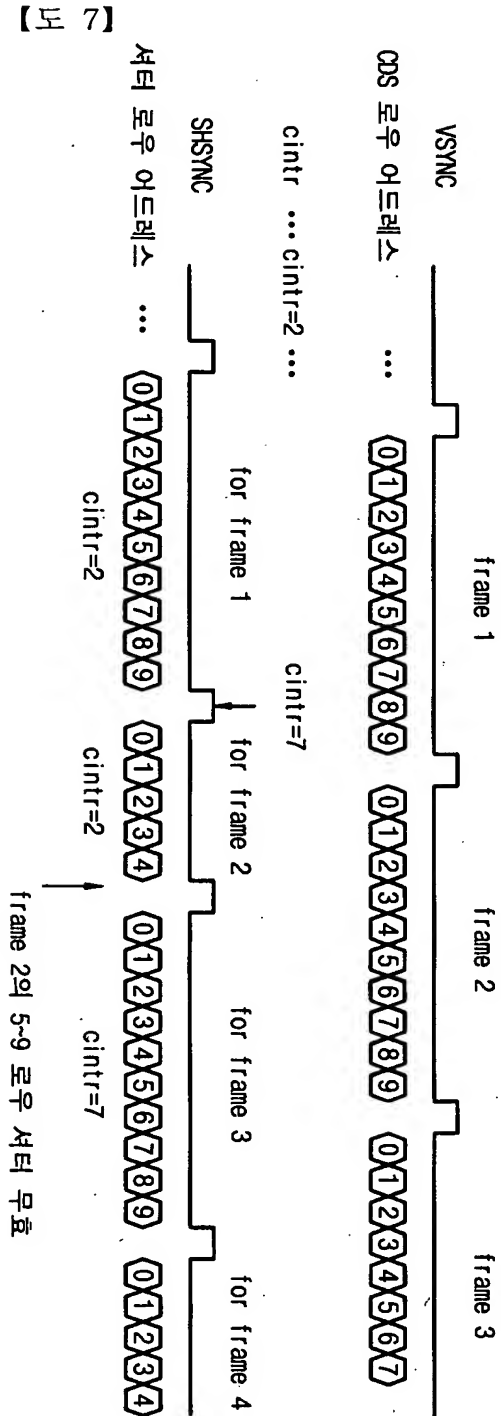


【도 6a】

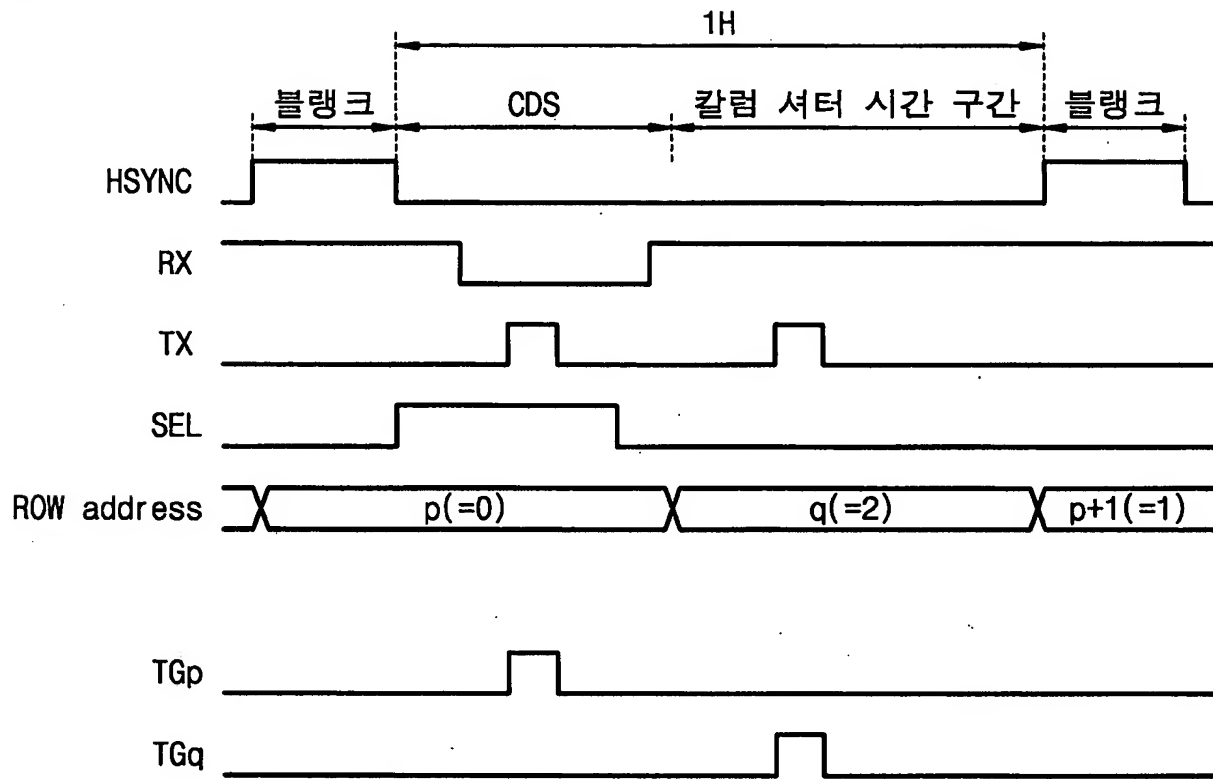


【도 6b】

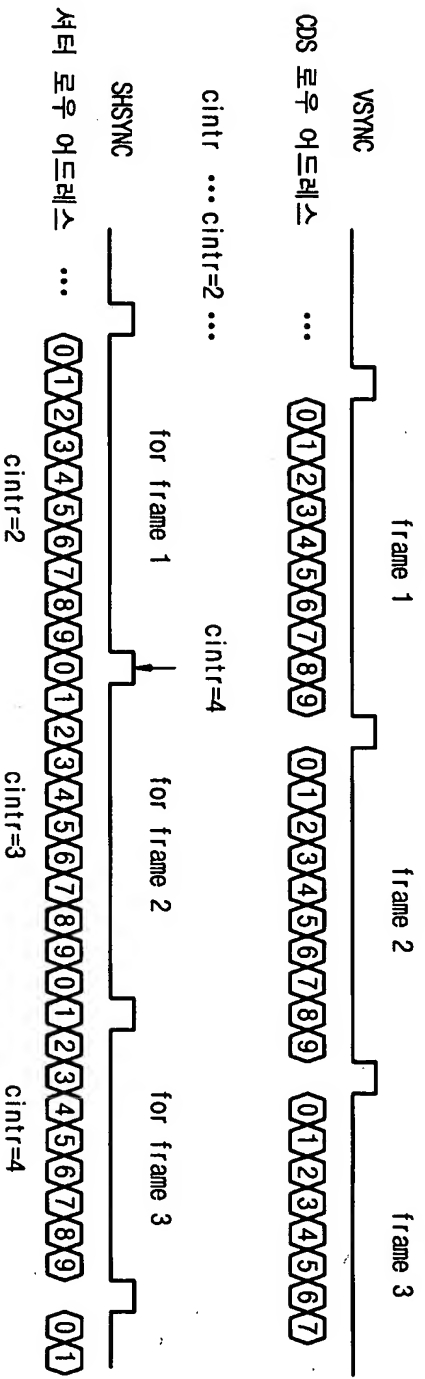




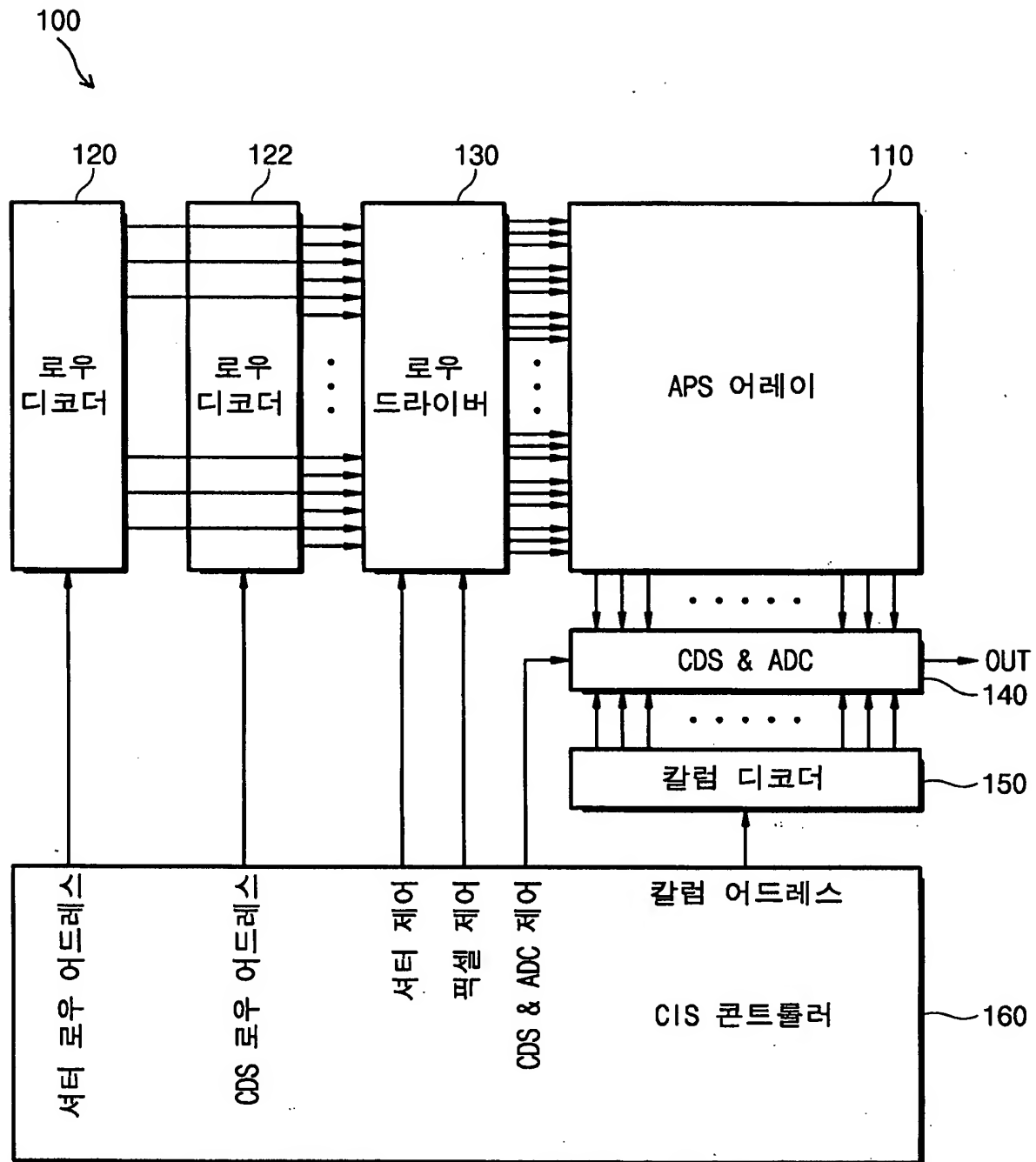
【도 8】



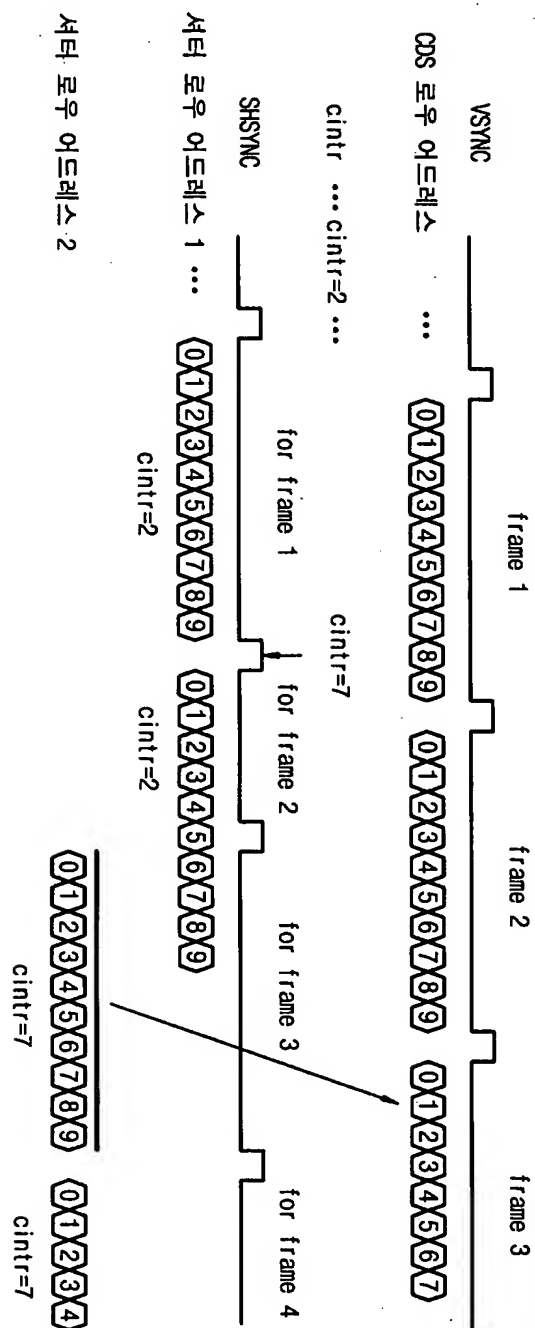
【도 9】



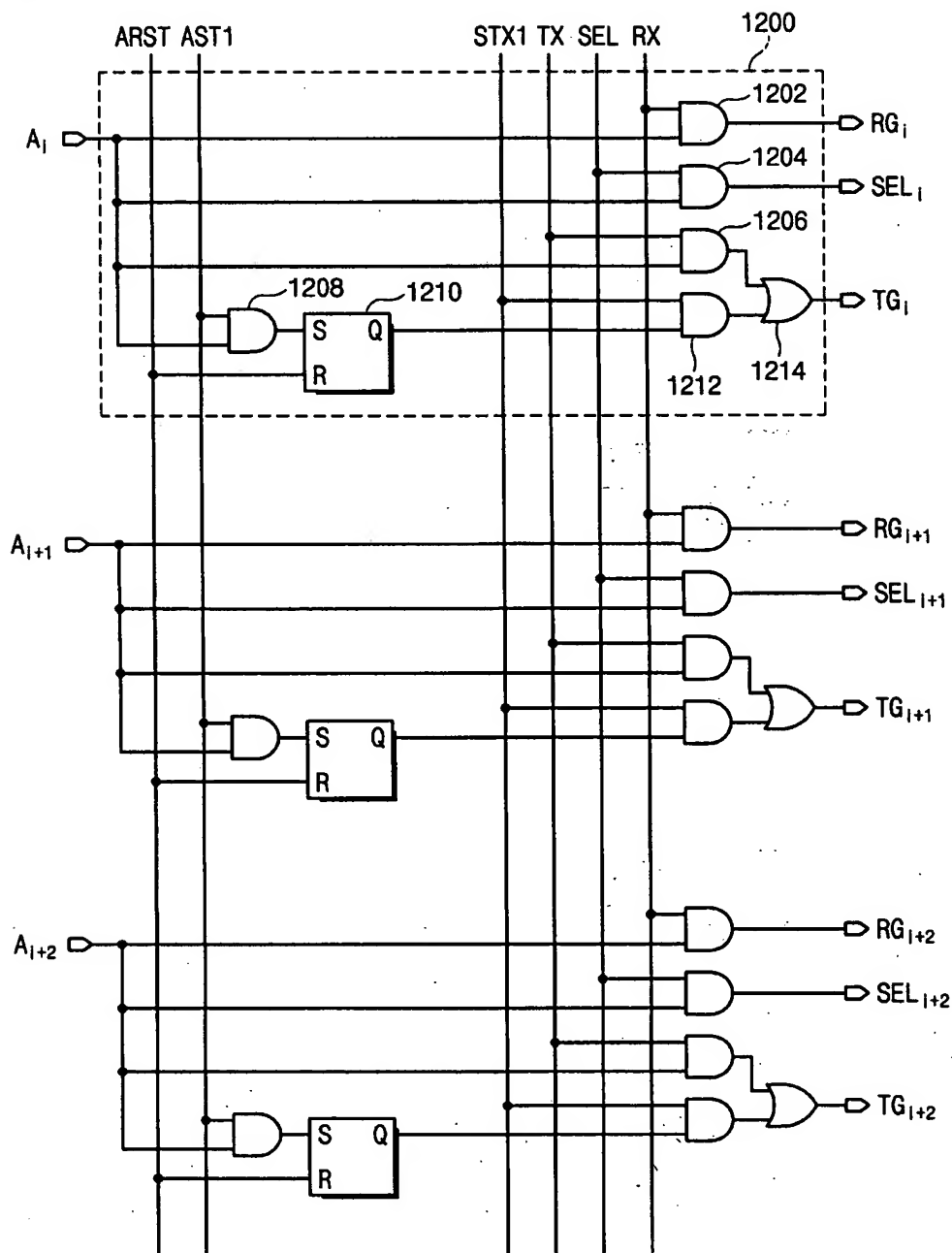
【도 10】



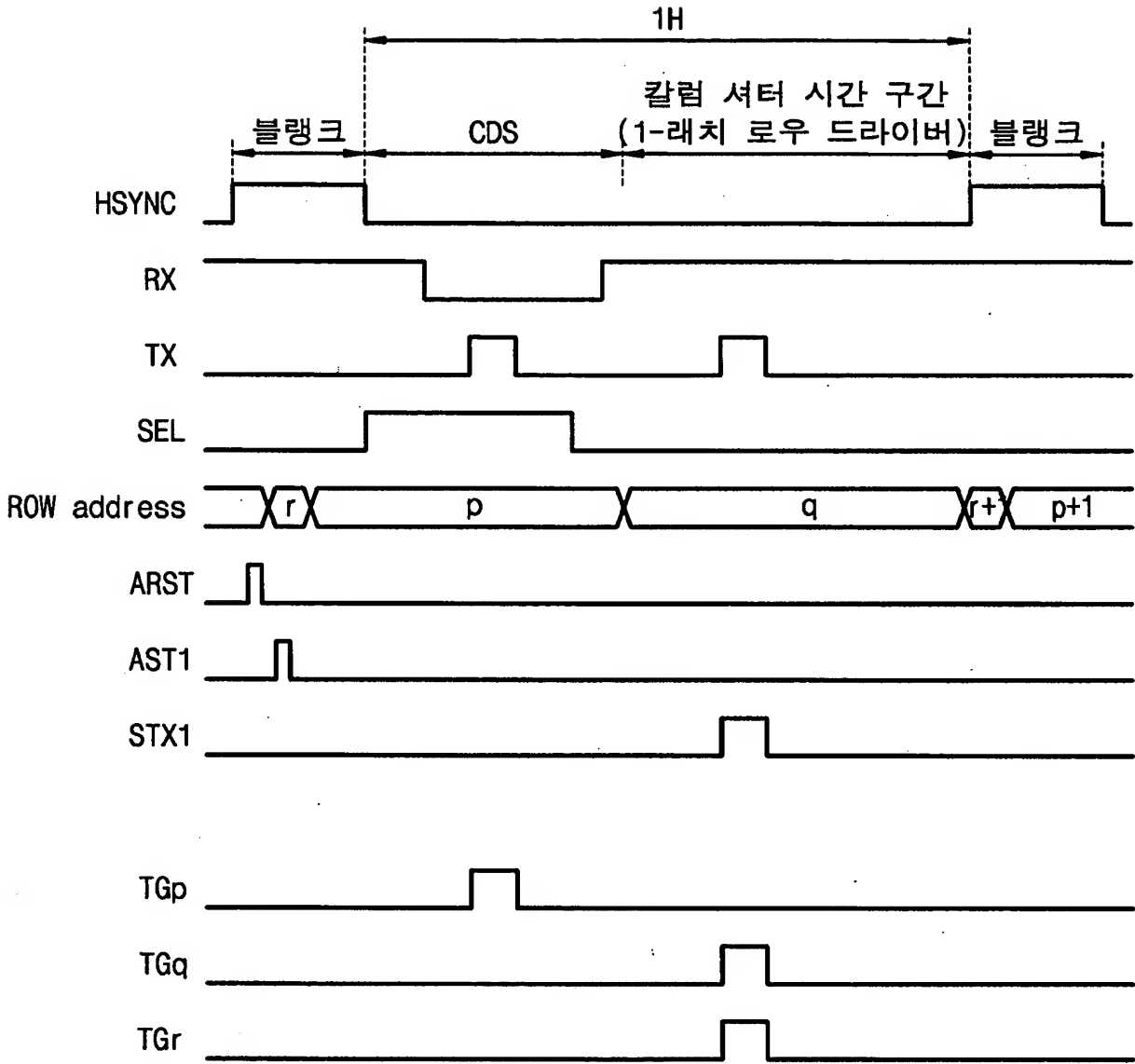
【도 11】



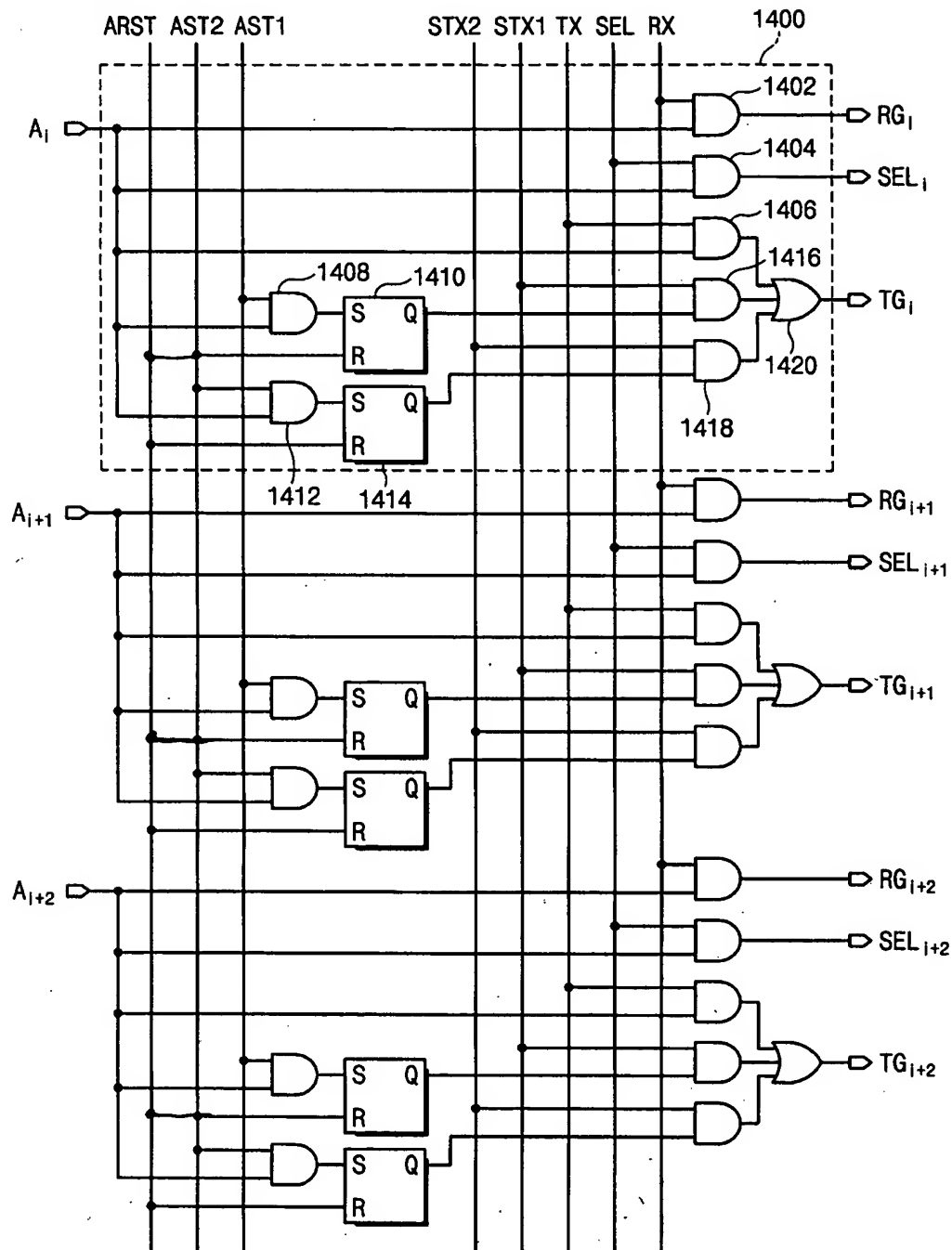
【도 12】



【도 13】



【도 14】



【도 15】

